

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Naoya HASHIMOTO et al.
New Application

Confirmation No.

Filed: July 31, 2003

For: COMMUNICATION CONTROL
DEVICE HAVING
MULTIPROCESSOR

Art Unit: TBA

Examiner: TBA

Atty. Docket No. 32011-191466

Customer No.

26694

26694

PATENT TRADEMARK OFFICE

Submission of Certified Copy of Priority Document

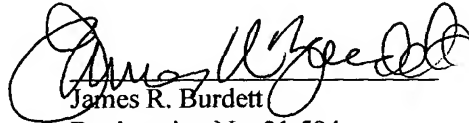
Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of Application No. 270520/2002 filed on September 17, 2002 in Japan, the priority of which is claimed in the present application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

Date: 7/31/03



James R. Burdett

Registration No. 31,594

VENABLE

P.O. Box 34385

Washington, D.C. 20043-9998

Telephone: (202) 962-4800

Telefax: (202) 962-8300

#474873

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: September 17, 2002
Application Number: 2002-270520 [JP2002-270520]
Applicant(s): Oki Electric Industry Co., Ltd.

Dated April 15, 2003

Commissioner,
Japan Patent Office Shinichiro Ohta

Certificate No. 2003-3026601

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月17日

出 願 番 号

Application Number:

特願2002-270520

[ST.10/C]:

[JP 2002-270520]

出 願 人

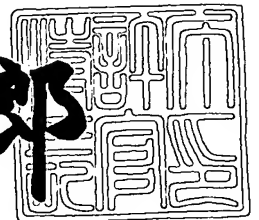
Applicant(s):

沖電気工業株式会社

2003年 4月15日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3026601

【書類名】 特許願

【整理番号】 KN002541

【提出日】 平成14年 9月17日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 13/00
H04L 12/56

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 橋本 直也

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 吉田 守男

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100090620

【弁理士】

【氏名又は名称】 工藤 宣幸

【手数料の表示】

【予納台帳番号】 013664

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006358

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プロセッサ間通信システム

【特許請求の範囲】

【請求項 1】 所定の回線対応手段を介して外部の伝送路から入力または出力される伝送データの中継を主目的とする中継装置に関し、当該中継装置内に設けられた複数のプロセッサ手段が、前記伝送データを処理するための所定の制御データを通信する際に機能するプロセッサ間通信システムにおいて、

前記各プロセッサ手段は、

当該プロセッサ手段内において、最初に、前記伝送データを受け取り、当該伝送データに関する処理を実行する付加プロセッサ部と、

当該付加プロセッサ部だけでは処理しきれないとき、所定のプロセッサ内バスを介して、当該付加プロセッサ部から前記伝送データを受け取って当該伝送データに関する処理を実行する主プロセッサ部とを備え、

前記回線対応手段は、

当該回線対応手段内に、該当するプロセッサ手段のあいだで、所定の内部伝送路の設定を行う内部伝送路設定部を備え、

当該内部伝送路を介して前記制御データを伝送することで、前記伝送データの中継し伝送するための内部帯域資源を制御データの伝送に活用することを特徴とするプロセッサ間通信システム。

【請求項 2】 請求項 1 のプロセッサ間通信システムにおいて、

前記中継装置内に前記プロセッサ手段が 3 つ以上存在する場合、前記制御データの論理フォーマットに、送信先として 1 または複数のプロセッサ手段を指定する送信先指定領域を設け、

前記内部伝送路設定部は、

各制御データにつき、前記論理フォーマット中の送信先指定領域の値を解釈して、解釈結果に応じて制御データをプロセッサ手段に配送する制御データ配送部を備えることを特徴とするプロセッサ間通信システム。

【請求項 3】 請求項 1 のプロセッサ間通信システムにおいて、

前記中継装置内に前記プロセッサ手段が2つ以上存在する場合、前記制御データの論理フォーマットに、送信元として1のプロセッサ手段を指定する送信元指定領域を設け、

前記内部伝送路設定部は、

受信した各制御データにつき、前記論理フォーマット中の送信元指定領域の値とプロセッサ手段との対応関係を検査し、自プロセッサ手段が送信した制御データが自プロセッサ手段に受信されようとするときには、制御データの無限ループを阻止するために当該制御データを廃棄する制御データ廃棄部を備えたことを特徴とするプロセッサ間通信システム。

【請求項4】 請求項1のプロセッサ間通信システムにおいて、

前記回線対応手段は、

前記制御データを、前記中継装置の内部で伝送するのに適した所定の伝送用単位データから、前記プロセッサ手段で処理するのに適した所定の処理用単位データへフォーマット変換する第1のフォーマット変換部と、

前記制御データを、前記処理用単位データから前記伝送用単位データへフォーマット変換する第2のフォーマット変換部を備えたことを特徴とするプロセッサ間通信システム。

【請求項5】 請求項1のプロセッサ間通信システムにおいて、

前記内部伝送路設定部は、

リング状のトポロジを有する内部伝送路を設定することを特徴とするプロセッサ間通信システム。

【請求項6】 請求項1のプロセッサ間通信システムにおいて、

前記内部伝送路設定部は、

バス状のトポロジを有する内部伝送路を設定することを特徴とするプロセッサ間通信システム。

【請求項7】 請求項5のプロセッサ間通信システムにおいて、

前記回線対応手段は、

前記各プロセッサ手段に対応する送信権制御部を設け、

前記内部伝送路上には、所定のトークンデータを巡回させ、当該トークンデー

タを取得した1の送信権制御部に対応するプロセッサ手段に送信権を付与することを特徴とするプロセッサ間通信システム。

【請求項8】 請求項6のプロセッサ間通信システムにおいて、

前記回線対応手段は、

前記各プロセッサ手段に対応した要求送信元からの送信権確保要求を受け取る送信権調停部を設け、

当該送信権調停部が、同時には1のプロセッサ手段に送信権を付与することを特徴とするプロセッサ間通信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はプロセッサ間通信システムに関し、例えば、ルータ装置やロードバランサなどの1つの通信機器に複数のネットワークプロセッサ（NPU：通信処理特化演算処理装置）を搭載し、各通信機器内のネットワークプロセッサ間で通信を行う場合などに適用して好適なものである。

【0002】

【従来の技術】

ルータ装置やロードバランサ（負荷分散装置）などの通信機器は、外部の通信路から入力されたパケット等の通信データ（以下、「回線データ」と総称する）の中継処理を実行する機器である。

【0003】

例えば、ルータはOSI参照モデルのネットワーク層で中継処理を行う通信機器で、IPパケットのヘッダ部分に記述されている宛先IPアドレスと、予めルータに登録されている経路表（ルーティングテーブル）の内容に応じてルーティングを行い、ある通信路から入力された各IPパケットをいずれの通信路から出力するかを決定する。

【0004】

また、ロードバランサはOSI参照モデルのトランスポート層以上の階層で中継処理を行う通信機器で、複数のWebサーバなどの前に配置され、クライアント

トが指定したURLを所定のURL変換テーブルなどにしたがって変換すること等により、HTTPリクエスト（1つのHTTPリクエストは、1または複数のIPパケットの集合）の供給先を複数のWebサーバ間で振り分ける処理を実行する。HTTPリクエストを受け取ったWebサーバだけが、当該HTTPリクエストに応えるHTTPレスポンスを返送するため、当該ロードバランサによれば、HTTPリクエストの受信からHTTPレスポンスの返送までに要する処理の負荷を、複数のWebサーバ間に分散でき、レスポンス性能の向上などが可能になる。

【0005】

このようなルータ装置やロードバランサの内部には、高速な処理や高い信頼性を得るため、複数のプロセッサが搭載されることがある。その場合、各プロセッサ上のプロセス間で制御情報をやり取りすることにより、各プロセスが協調しながら並列動作し、前記IPパケットのルーティングや、HTTPリクエストの供給先の振り分け等の処理（中継処理）を実行する。

【0006】

【非特許文献】

<http://developer.intel.com/design/network/solutions/edge/block.htm>

【0007】

【発明が解決しようとする課題】

ところで、相互にプロセッサ間通信を行うネットワークプロセッサを複数備えた通信機器9の内部構成としては様々なものが考えられるが、一例として、図3に示す構成を想定する。

【0008】

図3において、通信機器9内には4つのネットワークプロセッサ10～13と、2つのNPUインタフェース部14、15と、回線統合部16と、通信路終端部17、18と、制御バス（この制御バスとしては、実現の容易性などの観点から、PCIバスなどの汎用バスを採用することが多いものと考えられる）B1～B5と、内部インタフェースI1～I8が設けられている。

【0009】

この通信機器 9 の外部には、外部通信路 P 1, P 2 が設けられており、外部通信路 P 1 には前記通信路終端部 1 7 が、通信路終端部 1 8 には前記外部通信路 P 2 がそれぞれ接続されている。当該通信機器 9 が例えば前記ルータ装置であるものとする、当該通信路終端部 1 7, 1 8 はそれぞれ接続されている外部通信路 P 1, P 2 を終端し、各外部通信路 P 1, P 2 に関し、O S I 参照モデルのデータリンク層以下の相違を吸収する機能を持つ。

【 0 0 1 0 】

当該通信機器 9 の通常の動作状態において、当該通信機器 9 が中継処理の対象とする I P パケットなどの回線データは（必要なフォーマット変換を受けたあと）、通信路終端部 1 7, 1 8, 内部インタフェース I 7, I 8 のほか、主として前記回線統合部 1 6 内を伝送され、図 2 に示すように設定される内部通信路 C T 1 ~ C T 4 を伝送されるため、構成要素 1 0 ~ 1 8, I 1 ~ I 8, P 1, P 2 に分布するが、制御バス B 1 ~ B 5 に分布することはない。反対に、N P U 1 0 ~ 1 3 のあいだでプロセッサ間通信のために利用される制御情報はすべて制御バス B 1 ~ B 5 上を伝送されるから、構成要素 1 0 ~ 1 8, I 1 ~ I 8, P 1, P 2 に分布することはない。

【 0 0 1 1 】

なお、各 N P U 1 0 ~ 1 3 の内部には、図 2 に示すように、一対のプロセッサユニット 2 0 ~ 2 3 と、コプロセッサユニット 2 4 ~ 2 7 が配置されている。そして当該プロセッサユニットとコプロセッサユニットのあいだには、N P U 内部バス B 6 ~ B 9 が設けられている。

【 0 0 1 2 】

このプロセッサユニット 2 0 ~ 2 3 は、前記 B 2 ~ B 5 を介して前記制御バス B 1 に接続されており、コプロセッサユニット 2 4 ~ 2 7 は前記内部インタフェース I 1 ~ I 4 を介して N P U インタフェース部 1 4, 1 5 に接続されている。

【 0 0 1 3 】

また、各 N P U 1 0 ~ 1 3 内においてプロセッサユニットとコプロセッサユニットを接続する N P U 内部バス B 6 ~ B 9 は、同じ N P U 内のプロセッサユニットとコプロセッサユニットのあいだ（例えば、2 0 と 2 4 のあいだ）で、主とし

て制御情報を通信するために設けられたバスである。制御情報の発生頻度やデータレートは、外部通信路 P 1、P 2 から入力または出力される前記回線データに比べ、通常、はるかに小さな値であるから、内部インタフェース I 1～I 8、あるいは、内部通信路 C T 1～C T 4 に比べると、N P U 内部バス B 6～B 9 の伝送帯域ははるかに狭い。

【0014】

もちろん、この N P U 内部バス B 6～B 9 の帯域を広く設計することも原理的には可能であるが、そのような設計は、帯域資源の使用効率を低下させ、N P U に不必要なコストアップや、大型化をまねく可能性が高いため、通常は行われない。

【0015】

このような構成のもと、（例えば、外部通信路 P 1 から）入力されたパケットの内容に応じて N P U 1 0～1 3 のあいだでプロセッサ間通信を行うものとする、プロセッサ間通信が発生するたびに、狭帯域の N P U 内部バス（例えば、B 6）を介したコプロセッサユニットとプロセッサユニットの通信が必要になるから、N P U 内部バス B 6～B 9 がボトルネックとなって通信速度が低く抑制される。

【0016】

一方、コプロセッサユニット（例えば、24）から見ると、図3および図2の構成の場合、プロセッサ間通信を必要としない回線データの処理では、内部インタフェース（例えば、I 1）を介して受信した回線データを当該内部インタフェース I 1 を介して返送すればよいのに対し、プロセッサ間通信を必要とする回線データの処理では、内部インタフェース I 1 とは反対で、バスの仕様も異なる N P U 内部バス B 6 を介して送信する必要がある。

【0017】

このことは、コプロセッサに搭載されるファームウェアとして、プロセッサ間通信に特化したファームウェアを別途設計し開発する必要性が生じる可能性が高いことを意味し、そのための開発工数が増大する。また、コプロセッサに搭載されるファームウェア全体として、分岐の多い大規模なプログラムになる可能性が高

く、それを格納するROMやEEPROMなどの記憶手段にも、大きな記憶容量が必要になるという問題も生じる。

【0018】

【課題を解決するための手段】

かかる課題を解決するために、本発明では、所定の回線対応手段を介して外部の伝送路から入力または出力される伝送データの中継を主目的とする中継装置に関し、当該中継装置内に設けられた複数のプロセッサ手段が、前記伝送データを処理するための所定の制御データを通信する際に機能するプロセッサ間通信システムにおいて、前記各プロセッサ手段は、（１）当該プロセッサ手段内において、最初に、前記伝送データを受け取り、当該伝送データに関する処理を実行する付加プロセッサ部と、（２）当該付加プロセッサ部だけでは処理しきれないとき、所定のプロセッサ内バスを介して、当該付加プロセッサ部から前記伝送データを受け取って当該伝送データに関する処理を実行する主プロセッサ部とを備え、前記回線対応手段は、（３）当該回線対応手段内に、該当するプロセッサ手段のあいだで、所定の内部伝送路の設定を行う内部伝送路設定部を備え、（４）当該内部伝送路を介して前記制御データを伝送することで、前記伝送データの中継し伝送するための内部帯域資源を制御データの伝送に活用することを特徴とする。

【0019】

【発明の実施の形態】

（Ａ）実施形態

以下、本発明にかかるプロセッサ間通信システムの実施形態について説明する。

【0020】

プロセッサ間通信そのものはマルチプロセッサシステムにおいて広く実行されるものであるから、必ずしも単一の機器の内部で行われると限ったものではなく（ネットワーク経由で行われるプロセッサ間通信もあり得る）、通信機器の内部に限って行われるものでもない（ネットワークに接続されていないスタンドアローンの情報処理装置の内部で行われるプロセッサ間通信もあり得る）が、ここで

は、特に、単一の通信機器の内部で行われるプロセッサ間通信に注目する。

【 0 0 2 1 】

通信機器が搭載するプロセッサをその他の一般の情報処理装置が搭載するプロセッサと区別して、ネットワークプロセッサ（N P U）と呼ぶ。N P Uは通信処理特化したアーキテクチャを備えている。

【 0 0 2 2 】

第 1 および第 2 の実施形態に共通する特徴は、回線データの伝送のために通信機器内に設けられている帯域資源を、プロセッサ間で通信する制御情報の伝送に活用することにより、プロセッサ間通信の通信速度を高めることにある。

【 0 0 2 3 】

また、このとき、N P U自体は既存のものをほとんど変更することなく利用する。

【 0 0 2 4 】

なお、プロセッサ間通信（プロセス間通信）の実行主体は、ハードウェア的にはプロセッサであるが、ソフトウェア的には各プロセッサ上のプロセスである。各プロセッサが（あるいは、各プロセッサ上のプロセスが）、前記制御情報をやり取りすることにより、複数プロセッサ（複数プロセス）が協調しながら並列動作することが可能になる。

【 0 0 2 5 】

（A - 1）第 1 の実施形態の構成

本実施形態の通信機器 3 0 の主要部の構成例を図 1 に示す。通信機器 3 0 は上述した通信機器 9 に対応するもので、具体的には、ルータ装置やロードバランサ等であってよい。

【 0 0 2 6 】

図 1 において、当該通信機器 3 0 は、4 つのネットワークプロセッサ 1 0 ~ 1 3 と、2 つの N P U インタフェース部 3 1 , 3 2 と、回線統合部 1 6 と、通信路終端部 1 7 , 1 8 と、制御バス B 1 ~ B 5 と、内部インタフェース I 1 ~ I 9 を備えている。

【 0 0 2 7 】

図 1 中で図 3 と同じ符号 1 0 ~ 1 3, 1 6 ~ 1 8, I 1 ~ I 8, B 1 ~ B 5 を付与した各構成要素の機能は上述した通信機器 9 と同じなので、その詳しい説明は省略する。

【 0 0 2 8 】

なお、図 1 上は、通信機器 3 0 内に 4 つの N P U 1 0 ~ 1 3 を設けているが、この数は 4 つより少なくてもよく、多くてもよい。また、図 1 では、1 つの N P U インタフェース部 (3 1 または 3 2) に 2 つずつ N P U を接続している (例えば、3 1 には 1 0 と 1 1 を接続している) が、必要ならば、1 つの N P U だけを接続する N P U インタフェース部を設けてもよく、3 つ以上の N P U を接続する N P U インタフェースを設けるようにしてもよい。

【 0 0 2 9 】

また、図 1 の制御バス B 1 は図 3 と同じ P C I バスなどの汎用バスであってよいが、本実施形態では、当該制御バス B 1 の使用方法が図 3 の通信機器 9 と相違する。

【 0 0 3 0 】

図 3 の通信機器 9 では、プロセッサ間通信のための制御情報はすべて、当該制御バス B 1 を介して伝送されるものであったが、本実施形態では、制御バス B 1 上を制御情報が伝送されるのは通信機器 3 0 の起動直後の初期設定だけであり、初期設定以降は、プロセッサ間通信のために制御バス B 1 が用いられることはない。

【 0 0 3 1 】

なお、このプロセッサ間通信には、コプロセッサユニット (例えば、2 4, 2 5) のあいだの制御情報の通信も含むことは当然である。むしろ、本実施形態で行われるプロセッサ間通信は、後述するように、その大部分がコプロセッサユニット間の制御情報の通信であり、プロセッサユニットが他のプロセッサユニットやコプロセッサユニットと通信することは希である。

【 0 0 3 2 】

本実施形態のプロセッサ間通信は、N P U インタフェース部 3 1 や 3 2 に設けられている前記回線データを伝送するための豊富な帯域資源を活用して実行され

る。一般的に、より広帯域の外部通信路 P 1, P 2 に接続された通信機器ほど、より広帯域な NPU インタフェース部 3 1, 3 2 を搭載している。

【0033】

また、一般的に、マルチプロセッサシステム (NPU 10~13 など) を搭載して処理速度を速めようとしているような通信機器 (ルータ装置など) であれば、もともと NPU インタフェース部 (3 1, 3 2 に対応) の帯域資源もかなり豊富であるといえることができる。

【0034】

通信機器 30 はその性質上、前記 IP パケットや HTTP リクエストなどの回線データから構成される大量の通信トラフィックをリアルタイムに伝送し、処理することを求められるため、通信機器 30 内部において回線データの伝送路となる当該 NPU インタフェース部 3 1, 3 2 には、上述した NPU 内部バス (例えば、B 6 など) に比べて十分に広い帯域幅を用意している。

【0035】

NPU 10~13 の内部構成は図 2 にも示したが、図 4 に、さらに詳細な内部構成例を示す。4 つの NPU 10~13 の内部構成は実質的に同じであってよいが、以下では主として、図 4 には、NPU 10 の内部構成を示したものとして説明を進める。

【0036】

(A-1-1) NPU の内部構成例

図 4 において、当該 NPU 10 は、図 2 に示したプロセッサユニット 20 とコプロセッサユニット 24 のほかに、低速バスインタフェース部 35 と、高速バスインタフェース部 36 と、メモリインタフェース部 37 とを備えている。

【0037】

ここで、メモリインタフェース部 37 は、プロセッサユニット 20 を当該 NPU 10 外のメモリデバイス 38 に接続するためのインタフェースである。

【0038】

プロセッサユニット 20 自体が、演算処理の実行に必要な多くのレジスタを内蔵しているが、レジスタでは作業用の記憶領域が足りない場合などに、このメモ

リデバイス 38 が利用される。

【0039】

なお、一般的なマルチプロセッサシステムでは、所定の共有メモリに制御情報を読み書きすることによって共有メモリを介してプロセッサ間通信を行う方式（密結合方式）が用いられることも多いが、少なくとも、このメモリデバイス 38 が当該共有メモリであり、なおかつ、当該メモリデバイス 38 を介してプロセッサ間通信の大部分が行われるということはない。

【0040】

本実施形態のプロセッサ間通信は、その大部分が、NPU インタフェース部 31, 32 を介して行われる。

【0041】

NPU インタフェース部 31 と 32 を接続する内部インタフェース I 9 は、回線統合部 16 と各 NPU 10～13 とのあいだで回線データを伝送するためのみ NPU インタフェース部 14, 15 を利用した図 3 の通信機器 9 には対応する構成要素が存在しなかったインタフェースである。本実施形態では、異なる NPU インタフェース部に接続されている NPU 間（例えば、10 と 13 のあいだ等）でプロセッサ間通信を行う場合などに、この内部インタフェース I 9 が必要になる。

【0042】

内部インタフェース I 9 を用いることで、図 3 の NPU インタフェース部 14, 15 などにも設けられている内部通信路をバイパスし、物理的に、より短い伝送距離でプロセッサ間通信を行うことが可能になる。

【0043】

本実施形態のプロセッサ間通信は、共有メモリ（図示せず）を介する密結合方式であってもよく、共有メモリを介さない疎結合方式であってもよい。

【0044】

本実施形態のコプロセッサユニット 24 は、NPU 10 と同様、通信処理に特化したアーキテクチャを備えている。コプロセッサユニット 24 の内部には図 4 に示すように 4 つのコプロセッサ 24A～24D が存在し、コプロセッサユニッ

ト 2 4 の内部だけでも、一種のマルチプロセッサシステムを構成しているとみることができる。コプロセッサユニット 2 4 内のコプロセッサの数は必要に応じて、4 つより少なくしてもよく、多くしてもよい。

【 0 0 4 5 】

コプロセッサユニット 2 4 内のコプロセッサ 2 4 A ~ 2 4 D のあいだでプロセッサ間通信を行う必要がある場合には、その通信方式として、前記密結合方式または疎結合方式のいずれを利用してもかまわない。

【 0 0 4 6 】

コプロセッサ 2 4 A ~ 2 4 D ではコプロセッサ 2 4 A ~ 2 4 D 相互間で同時並列的に処理を実行することができるだけでなく、プロセッサユニット 2 0 との関係でも、同時並列的に処理を実行することが可能である。

【 0 0 4 7 】

コプロセッサユニット内のコプロセッサ 2 4 A ~ 2 4 D 相互間、コプロセッサ 2 4 A ~ 2 4 D とプロセッサユニット 2 0 のあいだ、および各 N P U 1 0 ~ 1 3 相互間で、どのように役割分担させるかについては、様々な方法が使用可能であるが、プロセッサ間通信全体の高速化のためには、発生頻度の高い処理はコプロセッサ 2 4 A ~ 2 4 D 側で分担し、発生頻度の低い処理をプロセッサユニット 2 0 で分担することが望ましい。

【 0 0 4 8 】

また、本実施形態でも図 3 と同様に N P U 内部バス B 6 の帯域は狭いままであるから、プロセッサユニット 2 0 が行う処理の結果をコプロセッサ 2 4 A ~ 2 4 D が受け取る必要が生じたり、プロセッサユニット 2 0 が処理の結果を他の N P U (例えば、1 1) のプロセッサユニット (例えば、2 1) に伝送する必要が生じたりすると、その伝送のための時間がボトルネックとなって、プロセッサ間通信全体が低速化し、通信機器 3 0 全体の処理速度が低下するため、このような必要性が生じないような (あるいは、完全に生じないようにすることができない場合でも、その頻度が低くなるような) 役割分担を設定することが望ましい。

【 0 0 4 9 】

なお、低い頻度で、プロセッサユニット 2 0 が自身の処理の結果を、他の N P

Uのプロセッサユニット（例えば、21）やコプロセッサユニット（例えば、25）に伝送する必要がある場合、前記制御バスB1を利用して伝送する方法、前記メモリデバイス38（あるいは、メモリデバイス30の一部の記憶領域）を共有メモリとして利用する方法なども使用可能であるが、ここでは、処理結果は、NPU内部バスB6を経由してコプロセッサユニット24へ伝送するものとする。

【0050】

そのあとコプロセッサユニット24は、当該処理結果に応じた回線データをNPUインタフェース部31を経由して回線統合部16へ伝送するが、もし必要ならば、さらに他のNPU内のコプロセッサユニット（例えば、25や26など）へ伝送することもできる。

【0051】

ただし、プロセッサ間通信の高速化のためには、このようなNPU内部バス（B6など）を経由する伝送の必要性が生じないことが最も望ましく、必要性が生じる場合でも、その頻度が低いことが望ましい点は、上述した通りである。

【0052】

例えば、まず最初にコプロセッサユニット24（コプロセッサ24A～24D）で処理し、そのあと必要に応じて別なNPUのコプロセッサユニット（例えば、25）で処理し、コプロセッサユニット24で処理できず、なおかつ、別なNPUのコプロセッサユニットによっても処理しきれないことが予測できる場合にのみ、その回線データ（パケット）を、コプロセッサユニット24から前記NPU内部バスB6を介してプロセッサユニット20に伝送するようにすれば、NPU内部バスを介した伝送の頻度を低下できる。

【0053】

このようなパケットの例としては、通信開始時の方路未決定のパケットや、エラー処理が必要なパケット、あるいは、通信機器30から所定の高付加価値サービスを提供する必要があるパケットなどがあげられる。

【0054】

プロセッサユニット20は、コプロセッサユニット24内部に比較してより大

容量のメモリ空間と、より複雑な演算機能を利用しパケットの高度処理を実施する。

【 0 0 5 5 】

なお、同一のコプロセッサユニット 2 4 内のコプロセッサ 2 4 A ~ 2 4 D のあいだの役割分担については、コプロセッサユニット 2 4 とプロセッサユニット 2 0 のあいだの役割分担に成立する以上のような制約はないため、比較的、自由に決定することが可能である。

【 0 0 5 6 】

各コプロセッサ 2 4 A ~ 2 4 D の機能（役割）はそのファームウェア（通信処理に特化したファームウェア）によって規定されるため、各コプロセッサ 2 4 A ~ 2 4 D が分担する可能性のある役割の内容は、通信機器 3 0 の起動時にプロセッサユニット 2 0 から各コプロセッサ 2 4 A ~ 2 4 D にダウンロードされる当該ファームウェアの内容に影響する。

【 0 0 5 7 】

また、N P U 1 0 ~ 1 3 相互間の役割分担についても、このコプロセッサ 2 4 ~ 2 4 D 相互間の役割分担と同様に、比較的自由に設定することができるものと考えられるが、ここでは、4 つの N P U 1 0 ~ 1 3 を、1 0 と 1 1 の対、および 1 2 と 1 3 の対の 2 組（二対）に分け、対を成す N P U のあいだに比較的明確な役割分担を設けるものとする。

【 0 0 5 8 】

すなわち、N P U 1 0 を前段 N P U とし、N P U 1 1 を前段 N P U 1 0 に対する後段 N P U とするとともに、N P U 1 2 をもう一つの前段 N P U とし、N P U 1 3 を前段 N P U 1 2 に対する後段 N P U とする。

【 0 0 5 9 】

前段 N P U は一連の処理のうち前半部分を担当し、その後段 N P U は後半部分を担当する。このような役割分担を設定する場合、多くの処理は、前段 N P U 1 0 の処理とそのあと、その処理結果（制御情報として表現される）をプロセッサ間通信によって引き継ぐことによって実行される後段 N P U 1 1 の処理によって完了する。

【0060】

同様に、多くの処理が、前段NPU12の処理とそのあと、その処理結果をプロセッサ間通信によって引き継ぐことによって実行される後段NPU13の処理によって完了する。もちろん、前段NPU10または12の処理だけで完了する処理があってもかまわないし、後段NPUによる後半部分の処理が進行中であっても、同時並列的に、前段NPUは次の処理の前半部分を実行可能である。

【0061】

この前段、後段の役割分担の影響が1つのNPU内のどの構成要素までおよぶかについては、様々な変形が可能であるが、ここでは、コプロセッサユニット（例えば、24、25など）までとする。

【0062】

これにより、発生頻度の高い処理は、かなり複雑な処理であっても、プロセッサユニットの機能を用いることなく、コプロセッサユニットの機能だけで処理できるようになる。複数のNPU（例えば、10と11）にまたがる、より多くのコプロセッサユニット（例えば、24と25）が処理に関与することによって、より複雑な処理をより高速に実行することができる可能性が高まるからである。

【0063】

換言するなら、前段、後段の役割分担の影響がコプロセッサユニットまでしかおよばないものとし、プロセッサユニット（例えば、20と21）を除外することによって、帯域の狭い前記NPU内部バス（例えば、B6とB7）を経由しなければ通信できないプロセッサユニット（例えば、20と21）の機能の利用頻度を低減でき、複雑な処理の高速実行が可能となる。

【0064】

図4に示した高速バスインタフェース部36は、コプロセッサユニット24中の各コプロセッサ24A～24Dが高速バスI1（内部インタフェースI1に対応）と通信するためのインタフェースである。

【0065】

これに対し、低速バスインタフェース部35は、前記プロセッサユニット20が、主として前記初期状態においてプロセッサ間通信に使用する低速バスB2（

制御バス B 2) と通信するためのインタフェースである。

【0066】

ここで、内部インタフェース I 1 を高速バスと呼び、制御バス B 2 を低速バスと呼んでいるのは、内部インタフェース I 1 は上述した回線データから構成される大量の通信トラフィックをリアルタイムに伝送し、処理するための豊富な帯域資源の一部であるから、広帯域で高速なバスとされる必然性があり、その一方で、制御バス B 2 (B 1) のほうは、このような事情がないため、帯域資源を節約して狭帯域で低速なバスとされる必然性がある。制御バス B 2 の帯域幅は、例えば、前記 N P U 内部バス B 6 と同程度かそれ以下に設計するのが合理的であるといえる。

【0067】

もちろん、現実の一般的な通信機器の実装でも、制御バス B 1 は前記 P C I バスなどを利用して低速とされ、内部インタフェース I 1 (I 2 ~ I 4) は高速とされる。回線統合部 1 6 の構成要素と各 N P U 1 0 ~ 1 3 を物理的に 1 対 1 接続として、制御バス B 1 で行われるような通信路 (伝送媒体) へのアクセス制御 (アクセス権の調停) を不要とすることも、内部インタフェース I 1 の高速化に寄与している。

【0068】

なお、通信機器 3 0 が例えばルータ装置であるものとする、図 1 に示す通信路終端部 1 7, 1 8 はそれぞれ接続されている外部通信路 P 1, P 2 を終端し、各外部通信路 P 1, P 2 に関し、O S I 参照モデルのデータリンク層以下の相違を吸収するから、例えば、伝送媒体として電気を利用するか光を利用するか、有線伝送路を用いるか無線伝送路を用いるか、物理的な伝送レートが何 b p s であるかなどの相違は、この通信路終端部 1 7, 1 8 で吸収され、当該通信機器 3 0 内のその他の構成要素 (例えば、回線統合部 1 6、N P U インタフェース部 1 4, 1 5, N P U 1 0 ~ 1 3 など) は、これらの相違に依存することなく構成できる。

【0069】

次に、前記 N P U インタフェース部 3 1, 3 2 の内部構成例について説明する

。NPUインタフェース部31の内部構成例は図6に示すとおりである。NPUインタフェース部31と32の内部構成は実質的に同じであってよいが、図6にはNPUインタフェース部31の内部構成例を示している。図6の構成は、プロセッサ間通信にのみ利用してもよく、プロセッサ間通信に加えて、回線統合部16と各NPU10～13のあいだの回線データの通信に活用してもよい。

【0070】

(A-1-2) NPUインタフェース部の内部構成例

図6において、当該NPUインタフェース部31は、NPUインタフェース40、41と、バッファユニット42～45と、セル処理部46、47と、フォーマット整形部48、49とを備えている。

【0071】

このうちNPUインタフェース40は、当該NPUインタフェース部31のNPU10に対する通信インタフェースであり、NPUインタフェース41は、NPU11に対する通信インタフェースである。

【0072】

バッファユニット42～45はNPUインタフェース部31で使用する単位データを一時的に蓄積するバッファ（FIFO（先入れ先出し）タイプのメモリ）42B～45Bを備えた部分である。

【0073】

バッファ42B～45Bのそれぞれに対しては、前記単位データを各バッファに書き込むための書き込み部42A～45Aと、書き込まれた単位データを書き込み順に読み出すための読み出し部42C～45Cが設けられている。

【0074】

単位データとしてどのような論理構成のデータを使用するかは自由であり、例えば、外部の伝送路P1、P2などで使用されている回線データ（ここでは、IPパケットとする）をそのまま利用してもよいが、当該IPパケットのデータ部分（ペイロード部分）だけを抽出して適当なサイズに分割し装置内専用の単位データを再構成したり、必要に応じて、IPヘッダ中の情報の一部も当該装置内専用の単位データに収容するようにするのが効率的である。

【0075】

このような単位データの再構成は、前記フォーマット整形部48、49で実行できるほか、バッファ42B～45Bに対する書き込み時または読み出し時に実行することができる。

【0076】

例えば、バッファ42Bから単位データを読み出すとき（または、バッファ42Bに書き込むとき）には、NPU10内の処理に適合した単位データを再構成し、反対に、バッファ43Bに書き込むとき（または、バッファ43Bから読み出すとき）には、伝送に適合した単位データを再構成するようにすれば、伝送の観点でも、NPU10内の処理の観点でも効率的な構成となる。

【0077】

実際の通信機器の内部において、どのようなフォーマットの単位データが伝送に適合し、どのようなフォーマットの単位データが処理に適合するかは、伝送系や処理系の仕様や実装に依存し、両単位データを同じフォーマットとしてもよい場合もあり得るが、ここでは、伝送に適合した単位データとして所定の装置内セルを仮定し、NPU10内の処理に適合した単位データとして所定の装置内パケットを仮定する。

【0078】

通信機器30がIPパケットを中継処理するルータ装置である場合、前記コプロセッサユニット24内の各コプロセッサ24A～24Dは、処理頻度の高いIPパケットのフォーマットを処理するのに適合したものとするのが効率的であるから、この装置内パケットにも、IPパケットに対応したフォーマットを持たせるのが望ましい。

【0079】

ただし本実施形態では、プロセッサ間通信用の装置内セルの伝送を効率的に行うため、少なくとも当該装置内セルは、図7、図8に示すように、NPUインタフェース部（例えば、31）内で処理されるヘッダ部を備えている必要がある。

【0080】

図7に示すように、当該装置内セルCL1は大きくヘッダ領域HD1と、ユー

ザデータ領域UD1に分かれ、ヘッダ領域HD1はさらに5つのフィールドH1～H5に細分される。

【0081】

フィールドH1はトークンユーザデータ表示フィールドで、このフィールドH1に収容された値に応じて、当該装置内セルCL1が、ユーザデータを収容したユーザセルであるか、その装置内セルを獲得することが送信権の獲得を意味するトークンセルであるかが決まる。

【0082】

本実施形態では、図6に示した構成要素48、46、43D、47、45D、49およびこれらの構成要素に対応するNPUインタフェース部32内の各構成要素（点線で示す）によってリング型のトポロジを持つ内部通信路（リング型内部通信路）が構成されるため、2つ以上のNPUから送信された制御情報に由来する2つ以上の装置内セルが同時に当該リング型内部通信路内を伝送されると、コリジョンによって信号レベルで情報が破壊され、正常な通信が行えない。したがって、バッファユニット内のセクタ（例えば、43D、45D）が当該トークンセルCL1を獲得したとき、そのセクタに対応する1つのNPUだけが制御情報（装置内パケットに収容して送信される）の送信権を獲得することになる。

【0083】

図示の例では、セクタ43DはNPU10に対応し、セクタ45DはNPU11に対応する。このため、例えば、セクタ43DがトークンセルCL1を獲得したときには、読み出し部43Cを介して、NPU10が送信した制御情報を収容している装置内セル（前記装置内パケットから再構成された単位データ）CL1をバッファ43Bから読み出して、前記リング型内部通信路に送出することになる。

【0084】

なお、当該リング型内部通信路をプロセッサ間通信にのみ使用するのならば、トークンセルCL1の確保はセクタ（例えば、43D）で行うだけでよい（その場合、前記内部通信路CT1～CT4に相当する通信路は別個に設ける必要が

ある)が、もしも回線統合部16と各NPU10~13のあいだの回線データ(IPパケットなど)の通信にも当該リング型内部通信路を活用する場合には、IPパケットを当該リング型内部通信路に伝送させる際に、該当する構成要素(例えば、48など)によるトークンセルCL1の確保が必要になる。

【0085】

このように、リング型内部通信路に関しては、当該トークンセルによるアクセス制御が行われるが、NPU(例えば、10)自体は、バッファ(例えば、43B)の記憶容量が許す限り、送信権の有無と無関係に制御情報を送信することが可能で、送信権の獲得を待つことなく、処理を進めることができる。

【0086】

トークンセルCL1はその性質上、通信機器30の動作中は、リング型内部通信路内のいずれかの場所に、常時、ただ1つだけ存在し、送信権の委譲に応じて当該リング型内部通信路を巡回される必要がある。通信機器30の起動直後に当該トークンセルCL1を生成し、送信してこの巡回を開始させるのは、当該リング型内部通信路上のいずれの構成要素であってもかまわないが、一例としては、前記セクタ43Dであってもよい。

【0087】

当該装置内セルCL1がトークンセルであるとき、トークンユーザデータ表示フィールドH1に「1」を充填し、ユーザセルであるときには「0」を充填するものとする、図8の装置内セルCL2はユーザセルとなる。

【0088】

なお、ユーザセルとは、ユーザデータ領域UD1に、前記プロセッサ間通信のための制御情報(すなわち、ユーザデータ)を収容し、その制御情報を目的のNPUまで届けるためのセルである。

【0089】

図7に示した前記フィールドH2はリザーブフィールドで、フィールドH3はビットイネーブルフィールドで、フィールドH4は宛先フィールドで、フィールドH5はループ阻止フィールドである。

【0090】

ビットイネーブルフィールドH3の値によって、ユーザデータ領域ユーザD1のどこまでが有効なユーザデータ（有効な制御情報）であるかを示すことができ、宛先フィールドH4の値によって、当該装置内セルCL1を届けたい宛先のNPUを指定することができる。指定する宛先のNPUの数は1つであってもよく、複数であってもよい。通信機器30内の全NPUを宛先として指定することもできる。

【0091】

汎用バスでは、同時に通信できるNPUは1つに限られることが多いため、宛先として複数のNPUを指定できれば、汎用バスを用いるよりも通信の効率が高まる。

【0092】

図8の例では、ビットイネーブルフィールドH3の値として「0011」（＝3D）が格納されているため、装置内セルCL2はユーザデータ領域のうち例えば、下位8（＝ 2^3 ）バイトのみが有効である。

【0093】

また、本実施形態ではプロセッサ間通信のために、各NPU10～13を予め設定したNPU番号によって識別するものとし、当該宛先フィールドH4の値なども、当該NPU番号をもとに設定する。

【0094】

例えば、NPU番号として10進数表示（D）で1，2，4，8を用い、1DをNPU10のNPU番号とし、2DをNPU11のNPU番号とし、4DをNPU12のNPU番号とし、8DをNPU13のNPU番号とし、宛先フィールドH4に4ビットを設ければ、2進数表示（B）の「0001」（0001B）でNPU10だけを宛先とし、「0011」でNPU10とNPU11を宛先とし、「1010」でNPU11とNPU13を宛先とすること等が可能になる。

【0095】

図8の例では、宛先フィールドの値として当該「0011」が充填されているため、この装置内セルCL2の宛先は、NPU10とNPU11であることがわかる。

【 0 0 9 6 】

このように宛先フィールドH 4 に複数のN P U 番号を指定できると、同一の制御情報（初期化テーブルなど）を一括して大量に送信する場合に効率的である。

【 0 0 9 7 】

前記ループ阻止フィールドH 5 は、制御情報の送信元のN P U のN P U 番号を充填するフィールドである。このフィールドの値をリング型内部通信路上の構成要素（例えば、セル処理部4 6 など）が監視し、送信元が自身に対応するN P U （セル処理部4 6 の場合にはN P U 1 0 ）である装置内セルC L 1 は、廃棄する。

【 0 0 9 8 】

この廃棄により、リング型内部通信路内を当該装置内セルC L 1 が際限なく巡回することで、帯域幅を無駄に消費することを簡単かつ確実に防止することが可能になる。

【 0 0 9 9 】

図8の例では、ループ阻止フィールドH 5 の値としてN P U 1 2 のN P U 番号「0 1 0 0」が充填されているため、N P U 1 2 に対応するセル処理部（図示せず）において、当該装置内セルC L 2 が廃棄されることになる。

【 0 1 0 0 】

なお、ユーザデータ領域U D 1 は、上述したように、制御情報を収容するための領域である。この領域は、制御情報のサイズが決まっている場合などには固定長とするのが効率的であるが、ここでは、柔軟性を高めるために可変長であるものとする。

【 0 1 0 1 】

図6から明らかなように、N P U インタフェース部3 1 内のバッファユニット4 2 ～4 5 は、主としてN P U 1 0 のために機能する4 2, 4 3 と、主としてN P U 1 1 のために機能する4 4, 4 5 に分けることができる。

【 0 1 0 2 】

バッファユニット4 4 は4 2 に対応する構成であり、バッファユニット4 5 は4 3 に対応する構成である。

【 0 1 0 3 】

バッファユニット 4 2 と 4 3 の相違、および 4 4 と 4 5 の相違は、装置内セルおよび装置内パケットを伝送する方向を除くと、セクタ 4 3 D、4 5 D の有無だけである。セクタ 4 3 D と 4 5 D は実質的に同じ機能を持つ。

【 0 1 0 4 】

このうち例えばセクタ 4 3 D は上述したようにトークンセル C L 1 を確保すると、その時点でバッファ 4 3 B に書き込まれている全ての装置内パケットを読み出し部 4 3 C に読み出させて（読み出し時に、装置内パケットは装置内セルにフォーマット変換される）、リング型内部通信路へ送出し、すべての装置内パケットの送出が終了すると、送信権を他のセクタ（他の N P U ）に委譲するため、トークンセル C L 1 をリング型内部通信路へ送出する。

【 0 1 0 5 】

もちろん、バッファ 4 3 B 内に装置内パケットが書き込まれていなければ、送信権を確保する必要もないので、セクタ 4 3 D は受信したトークンセル C L 1 を確保することなくそのままリング型内部通信路へ送出することになる。

【 0 1 0 6 】

リング型内部通信路における伝送方向は、図 6 上で右回り（時計回り）に設定されているため、セクタ 4 3 D から送出されたトークンセル C L 1 を最初に受信するセクタはセクタ 4 5 D である。

【 0 1 0 7 】

セクタ 4 5 D も 4 3 D と同じ構成で、同じ動作を行うから、基本的に、送信権は、リング型内部通信路内を、右回りに委譲されていく。

【 0 1 0 8 】

また、前記セル処理部 4 6 はリング型内部通信路から受信した装置内セル C L 1 に関し、宛先フィールド H 4 の値とループ阻止フィールド H 5 の値に対応した処理を実行する機能を持つ部分である。

【 0 1 0 9 】

例えば、宛先フィールド H 4 の値が N P U 1 0 の N P U 番号だけを含んでいる場合、バッファ 4 2 B に記憶容量の余裕があれば、バッファユニット 4 2 へ当該

装置内セルCL1を送信するだけで、バッファユニット43（セクタ43D）へは送信しない。装置内セルCL1を、バッファユニット42へ送信するのは、プロセッサ間通信の宛先であるNPU10に、制御情報の内容を伝達するためであり、バッファユニット43へ送信しないのは、リング型内部通信路の帯域を節約するためである。

【0110】

宛先フィールドH4の値が複数のNPUのNPU番号を含んでいる場合に当該セル処理部46が実行する処理としては、様々なものが考えられる。

【0111】

例えば、宛先フィールドH4の値のうち自NPU10を指定するNPU番号以外のNPU番号が、リング型内部通信路上で自身の直前（左隣）に位置するNPU（NPU10にとってはNPU13）を指定するNPU番号だけである場合には、リング型内部通信路の帯域節約を重視してバッファユニット43へは送信しないようにしてもよいが、自NPU（セル処理部46にとってはNPU10）のNPU番号だけを当該宛先フィールドH4から削除した上でリング型内部通信路に送出するようにするとよい。

【0112】

例えば、宛先フィールドH4の値がNPU10とNPU11を宛先とする上述した「0011」（0011B）である場合には、当該0011Bを0010Bに変更（最下位ビットの「1」を削除）した上で、その装置内セルCL1をリング型内部通信路に送出するのである。

【0113】

セル処理部46はバッファ42Bの記憶容量に余裕がなければ自NPU10宛ての装置内セルCL1を受信したとしてもそれをバッファ42Bに書き込むことはできないが、リング型内部通信路上の各セル処理部（例えば、46、47など）がこの動作を行えば、リング型内部通信路を巡回的に伝送されている装置内セルCL1を、バッファ42Bに余裕ができたタイミングで、バッファ42Bに書き込むことができる。

【0114】

なお、装置内セルCL1のトークンユーザデータ表示フィールドH1に充填されている値が「1」で、当該CL1がトークンセルである場合には、セル処理部46は、その他のフィールドH2～H3などを検査することなくそのまま当該トークンセルCL1を通過させるだけでよい。

【0115】

トークンセルCL1の場合、フィールドH2～H3に有効な値を充填する必要はない。

【0116】

フォーマット整形部48は、上述した内部インタフェースI9の一部であるI9Aに接続された部分で、当該NPUインタフェース部31の外部にあるNPUインタフェース部32から到来した装置内セルのフォーマットをNPUインタフェース部31内のフォーマットに適合するように整形する。

【0117】

同様に、フォーマット整形部49は内部インタフェースI9の一部であるI9Bに接続された部分で、当該NPUインタフェース部31内に適合した装置内セルのフォーマットを、NPUインタフェース部32内に適合したフォーマットに変換することを支援するための整形処理を実行する。NPUインタフェース部32内にも同様なフォーマット整形部が設けられるため、必要に応じて、フォーマット整形部48または49のいずれか一方は省略するようにしてもよい。

【0118】

また、本実施形態のプロセッサ間通信は、同一の通信機器30の内部に限って実行されるプロセッサ間通信であるから、実装にも依存するが、NPUインタフェース部31内と32内で同じフォーマットの装置内セルを用いることも可能であり、その場合にはフォーマット整形部48、49のすべてを省略可能である。

【0119】

なお、図6の構成を、プロセッサ間通信だけでなく、回線統合部16と各NPU10～13のあいだの回線データの通信にも利用する場合には、回線統合部16からNPU（例えば、10）へ供給される回線データとしてのIPパケットを当該フォーマット整形部（48など）によって装置内セルに変換し、プロセッサ

間通信のための装置内セルとともにリング型内部通信路上を伝送させるようにしてもよい。

【0120】

この場合、NPU（例えば、10）から回線統合部16へ供給される回線データは、当該フォーマット整形部（48など）によって装置内セルCL1からIPパケットのフォーマットへ変換される。この場合、図2に示した内部通信路CT1～CT4も、当該リング型内部通信路を介して設定されることになる。

【0121】

ただし図6の構成をプロセッサ間通信にのみ利用する場合には、フォーマット整形部（48など）はこのような変換を行う必要はなく、図2に示した内部通信路CT1～CT4は、リング型内部通信路とは別個に設定されることになる。

【0122】

以下、上記のような構成を有する本実施形態の動作について説明する。

【0123】

（A-2）第1の実施形態の動作

図1に示す通信機器30が起動されると、初期状態において、NPU10～13内の各プロセッサユニット20～23が前記制御バスB1を介してプロセッサ間通信を行う。

【0124】

このときのプロセッサ間通信によって伝送される制御情報には様々なものがあり得るが、上述したNPU10～13間の役割分担を指定する制御情報や各種の設定情報も含まれていてよい。また、制御バスB1としてPCIバスなどを用いる場合、アクセス権確保のオーバーヘッドが小さくないため、一度、制御バスB1に対するアクセス権を確保したら、各NPU10～13は、できるだけ大量の設定情報を一括して転送するようにするとよい。

【0125】

一方、この初期状態において、NPUインタフェース部31、32側では、上述した内部通信路CT1～CT4のほか、図5に示す内部通信路CT5～CT10の設定を行う。内部通信路CT1～CT4が、回線統合部16と各NPU10

～13のあいだでIPパケットなどの回線データを伝送するための通信路であるのに対し、内部通信路CT5～CT10は、プロセッサ間通信のための通信路である。したがって、当該内部通信路CT5～CT10は、設定される場合、必ず前記リング型内部通信路を経由して設定されることになる。

【0126】

リング型内部通信路を介したプロセッサ間通信は、前記装置内セルCL1を用いて行われるから、具体的な通信相手の特定は、前記装置内セルCLの宛先フィールドH4に充填する値に応じて動的に行われるが、この内部通信路CT5～CT10の設定は、宛先フィールドH4に設定可能な値の範囲を予備的に確定する操作であってよい。

【0127】

なお、通信路CT1～CT4をリング型内部通信路を経由して設定する場合には、回線統合部16と各NPU10～13間の通信路も当該プロセッサ間通信と同様に、装置内セルCL1を用いて行われ、通信相手も、この操作によって予備的に確定される。

【0128】

図示してはいないが、回線統合部16は、NPU10に対向する構成要素、NPU11に対向する構成要素、NPU12に対向する構成要素、および、NPU13に対向する構成要素として、それぞれ、少なくとも論理的に別個の（通常は、物理的にも別個の）実体を備えているため、通信路CT1～CT4はその構成要素と各NPU10～13のあいだに、1対1に設定される。

【0129】

図5上は、各NPUに4つずつ通信路が接続されている（例えば、NPU10には、CT1、CT5、CT7、CT10が接続されている）が、NPU10～13内のコプロセッサユニット24～27からみると、自身が関係する各通信路（例えば、NPU10内のコプロセッサユニット24にとってはCT1、CT5、CT7、CT10）の論理的なポートおよび物理的なポートの数は、例えば、1つ（あるいは、2つ程度）に集約することが可能である。

【0130】

内部通信路CT5～CT10のうち、CT5とCT6は、上述した前段、後段の役割分担に応じて各コプロセッサユニットのあいだの制御情報の伝送に使用される通信路である。CT5は、24と25のあいだの制御情報の伝送に使用され、CT6は26と27のあいだの制御情報の伝送に使用される。

【0131】

このため、前段、後段の役割分担を行う本実施形態では必ず当該通信路CT5とCT6は設定する。

【0132】

その他の通信路CT8～CT10を設定するか否かは、前記役割分担の状況などに依存して変動する。

【0133】

例えば、通信路CT9はNPU11内のプロセッサユニット21またはコプロセッサユニット25と、NPU12内のプロセッサユニット22またはコプロセッサユニット26のあいだのプロセッサ間通信に使用される通信路であるから、そのようなプロセッサ間通信を行う必要がない場合には通信路CT9の設定は不要である。

【0134】

通信路CT10に関してもこれと同様である。

【0135】

なお、通信路CT7およびCT8の意味は、当該通信路CT9、CT10とは少し異なる。

【0136】

例えば、通信路CT8は、すでにコプロセッサユニット24、25間に前記通信路CT5が設定されているNPU10と11のあいだに設定される通信路であり、コプロセッサユニット24、25間のプロセッサ間通信以外に使用され得る。したがって、CT7を使用するのは、例えば、プロセッサユニット20とプロセッサユニット21間のプロセッサ間通信、プロセッサユニット20とコプロセッサユニット25間のプロセッサ間通信、コプロセッサユニット24とプロセッサユニット21間のプロセッサ間通信である。

【0137】

このようなプロセッサ間通信に前記通信路CT5と別個の当該通信路CT7を設定する必要があるか否かは、コプロセッサユニット（24など）の内部処理（ファームウェアの内容など）に依存する問題である。したがって、コプロセッサユニット（24など）の内部処理によっては、前記通信路CT5を用いて、プロセッサユニット20とプロセッサユニット21間のプロセッサ間通信、プロセッサユニット20とコプロセッサユニット25間のプロセッサ間通信、コプロセッサユニット24とプロセッサユニット21間のプロセッサ間通信を行うことも可能である。その場合はもちろん、当該通信路CT7の設定は省略できる。

【0138】

通信路CT8についてもこれと同様である。

【0139】

図5に示すような通信路CT1～CT10が設定され、初期状態が終了したものとすると、前記外部通信路P1、P2から供給された回線データが、前記通信路CT1～CT4を介して、各NPU10～13に供給される。

【0140】

いずれの回線データをいずれのNPUに供給するかは、直接的には、回線統合部16が決定するが、その決定は、前記通信路CT1～CT4をどのように設定するかによってNPU10～13側から制御できる。

【0141】

また、図示の例では、前段NPUである10と12には、回線統合部16から回線データを供給し、反対に、後段NPUである11と13からは回線データが回線統合部16へ供給されている。

【0142】

通信路CT1、CT3を介して回線データを受け取る各NPU10、12内で最初に当該回線データを処理するのは、前記コプロセッサユニット24、26である。

【0143】

処理の内容によっては上述したように、この前段NPU10、12内のコプロ

セッサユニット24、26だけで処理が完了するものがあったとしてもかまわない。

【0144】

コプロセッサユニット24、26は自身だけで処理を完了できない場合、通常は、通信路CT5、CT6を介したプロセッサ間通信で制御情報を伝達することにより、その処理の後半部分を後段NPU11、13内のコプロセッサユニット25、27に委ねる。

【0145】

各後段NPU11、13内のコプロセッサユニット25、27は、処理が完了すると、処理結果に応じた回線データを前記通信路CT2、CT4を介して回線統合部16へ送信する。

【0146】

この回線データは、多くの場合、前記通信路終端部17、18を介して外部通信路P1、P2へ送出されるものであるが、必要ならば、回線統合部16や通信路終端部17、18の動作状態を制御するものであってもよい。

【0147】

なお、前段NPU10、12内のコプロセッサユニット24、26だけで処理が完了した場合であっても、処理結果に応じた回線データを回線統合部16に送信するために後段NPU11、13内のコプロセッサユニット25、27および通信路CT2、CT4の機能を利用することができる。

【0148】

このようなケースで、後段NPU11、13内のコプロセッサユニット25、27および通信路CT2、CT4の機能を利用したくなければ、直接、前段NPU10、12内のコプロセッサユニット24、26から回線統合部16へ、処理結果に応じた回線データを送信するようにしてもよいことは当然である。前段NPU10、12内のコプロセッサユニット24、26だけで完了する処理の比率が高い場合にはそのほうが効率的であるといえる。

【0149】

ただしその場合には、前段NPU10、12から回線統合部16へ向かう通信路（図示せず）を設定する必要がある。

【0150】

初期状態以降の通信機器30の処理は、その大部分がこのように、NPUインタフェース部31、32を介した通信（プロセッサ間通信および回線データの通信）を利用して進行するから、各NPU10～13内のプロセッサユニット20～23が動作することはほとんどなく、前記制御バスB1や、NPU内部バスB6～B9を介した通信が行われることもほとんどない。これにより、狭帯域のNPU内部バスB6～B9の影響を排除して、高速なプロセッサ間通信が行われ、高速な処理が実行される。

【0151】

ただし必要な場合には、低頻度であれば、NPU10～13の内部で、初期状態以降に、例えば、前記制御バスB1やNPU内部バスB6～B9を介した通信により、プロセッサユニット20～23が動作することがあってもかまわない。

【0152】

例えば、プロセッサユニット20～23が持つ大容量のメモリ空間と、より複雑な演算機能を必要とする処理（例えば、前記通信開始時の方路未決定のパケットや、エラー処理が必要なパケット、高付加価値サービスの提供など）を行う場合に、プロセッサユニット20～23が動作し得る。

【0153】

(A-2) 第1の実施形態の効果

本実施形態によれば、帯域の狭いNPU内部バス（B6～B9）を経由せず、豊富な帯域資源を持つNPUインタフェース部（31、32）を活用してプロセッサ間通信を実行できるから、全体としてプロセッサ間通信の速度が速く、処理速度の速い通信機器（30）を提供することが可能になる。

【0154】

しかも本実施形態では、既存のNPUアーキテクチャをほとんど変更することなくこの効果を得られるため、実現性に優れている。

【0155】

例えば、NPU内に狭帯域のNPU内部バスの残存を許す点や、コプロセッサのファームウェアから見た場合、回線データを受信、送信する通信路と、プロセ

ッサ間通信のための制御情報（装置内パケット）を受信、送信する通信路は、物理的、論理的に同一の通信路とすることができる点などが、この実現性に寄与している。

【 0 1 5 6 】

一例として、コプロセッサ（24）のファームウェアからみると、自身が関係する各通信路（コプロセッサ24の場合、CT1，CT5，CT7，CT10）の論理的なポートの数を、例えば、1つ（あるいは、2つ程度）に集約することは容易であるから、当該ファームウェアの開発工数を削減することができる。特に、前記リング型内部通信路を回線データの伝送にも活用した場合には、集約の度合いをいっそう高めることが可能になる。

【 0 1 5 7 】

また、これによって、コプロセッサ（例えば、24）に搭載されるファームウェアを、全体として分岐の少ない小規模なプログラムとすることができれば、それを格納するROMやEEPROMなどの記憶手段の記憶容量も削減することが可能になる。

【 0 1 5 8 】

（B）第2の実施形態

以下では、本実施形態が第1の実施形態と相違する点についてのみ説明する。

【 0 1 5 9 】

この相違点は、NPUインタフェース部の内部構成に関する部分に限られる。

【 0 1 6 0 】

（B-1）第2の実施形態の構成および動作

したがって、図1に示す全体構成例はそのまま本実施形態の通信機器50の全体構成例でもあり、NPUインタフェース部51，52以外の構成要素の構成および動作は第1の実施形態と同じであるから、その詳しい説明は省略する。

【 0 1 6 1 】

本実施形態のNPUインタフェース部51の内部構成例は図9に示すとおりである。図9は、第1の実施形態の図6と同じ形式になっている。

【 0 1 6 2 】

NPUインタフェース部 5 1 と 5 2 の内部構成は実質的に同じであってよいが、図 9 には NPU インタフェース部 5 1 の内部構成例を示している。図 9 の構成は、プロセッサ間通信にのみ利用してもよく、プロセッサ間通信に加えて、回線統合部 1 6 と各 NPU 1 0 ～ 1 3 のあいだの回線データの通信に活用してもよい。

【 0 1 6 3 】

(B-1-1) NPU インタフェース部の内部構成例

図 9 において、当該 NPU インタフェース部 5 1 は、NPU インタフェース 4 0, 4 1 と、バッファユニット 6 2 ～ 6 5 と、セル解析処理部 6 6, 6 7 と、アクセス権管理部 6 8 と、バス型内部通信路 B 1 0 ～ B 1 4 を備えている。

【 0 1 6 4 】

このうち第 1 の実施形態の図 6 と同じ符号 4 0, 4 1 を付与した構成要素と、対応する符号 6 2 ～ 6 7 を付与した構成要素の機能は第 1 の実施形態と同じであるからその詳しい説明は省略する。

【 0 1 6 5 】

なお、図 9 中、バッファユニット 6 2 は前記 4 2 に対応し、バッファユニット 6 3 は前記 4 3 に対応し、バッファユニット 6 4 は前記 4 4 に対応し、バッファユニット 6 5 は前記 4 5 に対応し、書き込み部 6 2 A ～ 6 5 A は前記 4 2 A ～ 4 5 A に対応し、バッファ 6 2 B ～ 6 5 B は前記 4 2 B ～ 4 5 B に対応し、読み出し部 6 2 C ～ 6 5 C は前記 4 2 C ～ 4 5 C に対応する。

【 0 1 6 6 】

セル解析処理部 6 6 と 6 7 は同じ機能を有する。

【 0 1 6 7 】

セル解析処理部 6 6 (, 6 7) は、基本的に、前記セル処理部 4 6 (, 4 7) とセレクタ 4 3 D (, 4 5 D) に対応する機能を持つ構成要素であるが、本実施形態の場合、内部通信路のトポロジが第 1 の実施形態のようなリング型ではなくバス型であるため、当該セル解析処理部 6 6, 6 7 の機能も、セル処理部 4 6, 4 7 やセレクタ 4 3 D, 4 5 D と相違する。

【 0 1 6 8 】

バス型の通信路も、前記コリジョンが発生すると正常な通信が行えない点ではリング型通信路と同じであるが、バス型通信路に送出された信号（ここでは、装置内セル）は、物理的には、バス上のすべての構成要素（ここでは、66, 67などのすべてのセル処理解析部）にほぼ同時に受信されるため、上述したトークンセルの利用は不可能ではないとしても、次の受信先を逐一、明示的に指定する必要があるなど、親和性が低い。

【0169】

したがって本実施形態では、内部通信路B10に対するアクセス制御をトークンを用いずに実行する。

【0170】

そのため、各セル処理解析部（例えば、66）は、自NPU（66にとってはNPU1.0）が送信した制御情報を収容した装置内セルCL1をバッファ（例えば、63B）から読み出してバス型内部通信路B10に送出しようとする場合、アクセス権管理部68にアクセス権の付与を要求する。

【0171】

アクセス権管理部68は、NPUインタフェース部52内のアクセス権管理部（図示せず）とも通信し、他のセル解析処理部（例えば、67）からアクセス権付与の要求が出ていなければ直ちに、アクセス権を要求元の当該セル処理解析部66に付与する。

【0172】

他のセル解析処理部からも同時にアクセス権付与の要求が出ている場合には、所定の調停アルゴリズムに基づいて、競合する要求のうち1つの要求を決定し、その要求の要求元であるセル処理解析部（例えば、66）に対してアクセス権を付与する。

【0173】

要求の競合が生じた場合に利用される調停アルゴリズムには様々なものが使用可能であるが、一例として、4つのセル処理解析部（例えば、66, 67など）に予め優先順位を付与しておき、その優先順位に応じた順番で、アクセス権を付与するようにしてもよい。

【 0 1 7 4 】

これにより、同時にバス型内部通信路 B 1 0 に装置内セル C L 1 を送信できるセル解析処理部は、ただ 1 つだけとなり、コリジョンの発生を防止できる。

【 0 1 7 5 】

なお、本実施形態で利用される装置内セル C L 1 の構成は基本的に第 1 の実施形態と同じであってよい。

【 0 1 7 6 】

ただし、図 7 に示した前記ヘッダ領域 H D 1 のうち、トークンユーザデータ表示フィールド H 1 は、本実施形態ではトークンセルを使用しないため不要である。

【 0 1 7 7 】

また、ループ阻止フィールド H 5 も省略可能である。単純なバス型の通信路では無限ループは生じないからである。

【 0 1 7 8 】

なお、プロセッサ間通信のための内部通信路 B 1 0 に本実施形態のようなバス型のトポロジを採用する場合、少なくともトポロジの観点で、前記制御バス B 1 を用いるプロセッサ間通信と差がなくなるが、それでも次のような理由によって、バス型内部通信路 B 1 0 を用いるほうが、制御バス B 1 を用いるよりも通信が速い。

【 0 1 7 9 】

その理由の 1 つは、N P U（例えば、1 0）は、対応するセル解析処理部（例えば、6 6）がアクセス権の付与を受けていない期間であっても、前記バッファ（例えば、6 3 B）の記憶容量が許す限り、新たな制御情報を収容した装置内パケットを送信し、処理を進めることができるからである。

【 0 1 8 0 】

また、もう 1 つの理由は、狭帯域な N P U 内部バス（例えば、B 6）などを経由せずにプロセッサ間通信を行えるからである。通信の高速化に寄与する度合いは、通常、後者の理由のほうがはるかに大きいものと考えられる。

【 0 1 8 1 】

なお、内部通信路の物理的なトポロジに関しては、上述したように、第 1 の実施形態がリング型であるのに対し、本実施形態はバス型であるが、図 5 に示す論理的な通信路（例えば、C T 1 ～ C T 1 0）の設定に関しては、本実施形態でも第 1 の実施形態とまったく同様に行うことができることは当然である。

【 0 1 8 2 】

（B - 2）第 2 の実施形態の効果

本実施形態によれば、第 1 の実施形態の効果と同等な効果を得ることができる。

【 0 1 8 3 】

加えて、本実施形態では、プロセッサ間通信のための内部通信路のトポロジを一般的なバス型としたため、内部通信路周辺の物理的な回路構成が容易である。

【 0 1 8 4 】

（C）他の実施形態

上記第 1、第 2 の実施形態では、宛先フィールド H 4 の値によって宛先の N P U を指定できるものとしたが、必要に応じて、さらに詳細に、各 N P U 内の特定の Coprocessor（例えば、2 4 D）まで、当該宛先フィールド H 4 の値によって指定できるようにしてもよい。

【 0 1 8 5 】

また、前記 Coprocessor ユニット内の Coprocessor 2 4 A ～ 2 4 D 相互間、Coprocessor 2 4 A ～ 2 4 D とプロセッサユニット 2 0 のあいだ、および各 N P U 1 0 ～ 1 3 相互間における役割分担は、固定的なものではなく、状況に応じて動的に変更することも可能である。例えば、1 つの N P U（例えば、1 0）に障害が発生した場合などには、その N P U 1 0 の役割を他の N P U（例えば、1 1）が分担すること等も可能である。

【 0 1 8 6 】

さらに、上記第 1、第 2 の実施形態では、N P U インタフェース部 3 1，3 2，5 1，5 2 内でも回線データが用いられ得るものとしたが、必要ならば、回線統合部 1 6 などにおいて回線データを装置内セルにフォーマット変換し、N P U インタフェース部や N P U には、回線データがそのまま供給されることがないよ

うにしてもよいことは当然である。

【 0 1 8 7 】

なお、上記実施形態では、通信機器 3 0， 5 0 の例として、ルータ装置やロードバランサをあげたが、本発明は、これら以外の通信機器にも適用可能である。

【 0 1 8 8 】

以上の説明では主としてハードウェア的に本発明を実現したが、本発明はソフトウェア的に実現することも可能である。

【 0 1 8 9 】

【発明の効果】

以上に説明したように、本発明によれば、実現性に優れ、プロセッサ間通信の通信速度が速いプロセッサ間通信システムを提供することが可能である。

【図面の簡単な説明】

【図 1】

第 1 の実施形態に係る通信機器の全体構成例を示す概略図である。

【図 2】

発明が解決しようとする課題を説明するための通信機器の内部構成例を示す概略図である。

【図 3】

発明が解決しようとする課題を説明するための通信機器の全体構成例を示す概略図である。

【図 4】

第 1 および第 2 の実施形態で使用する N P U およびその周辺の詳細構成例を示す概略図である。

【図 5】

第 1 の実施形態の通信機器の動作説明図である。

【図 6】

第 1 の実施形態で使用する N P U インタフェース部およびその周辺の詳細構成例を示す概略図である。

【図 7】

第 1 の実施形態で使用する装置内セルの論理構成例を示す概略図である。

【図 8】

第 1 の実施形態で使用する装置内セルの論理構成例を示す概略図である。

【図 9】

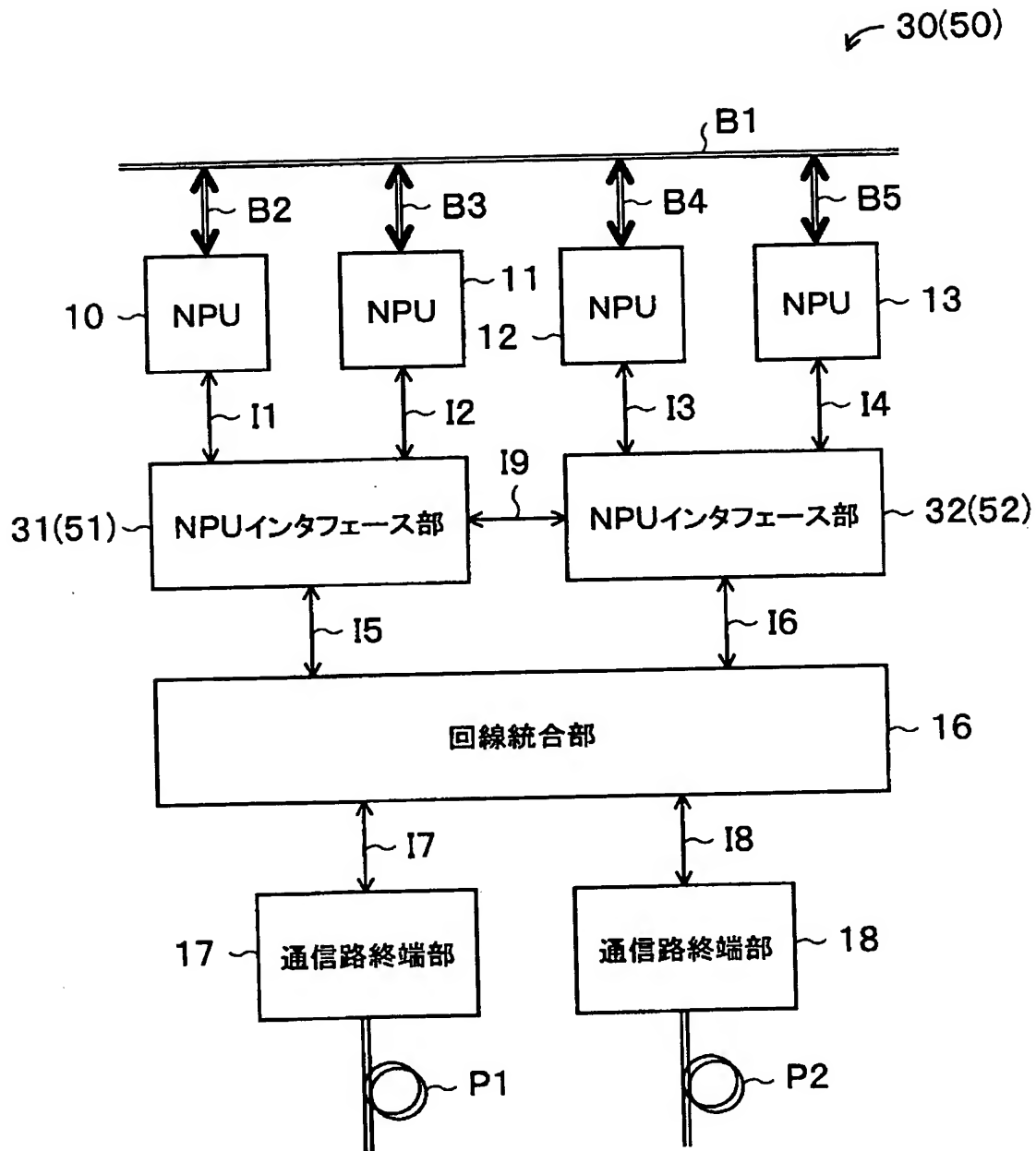
第 2 の実施形態で使用する N P U インタフェース部およびその周辺の詳細構成例を示す概略図である。

【符号の説明】

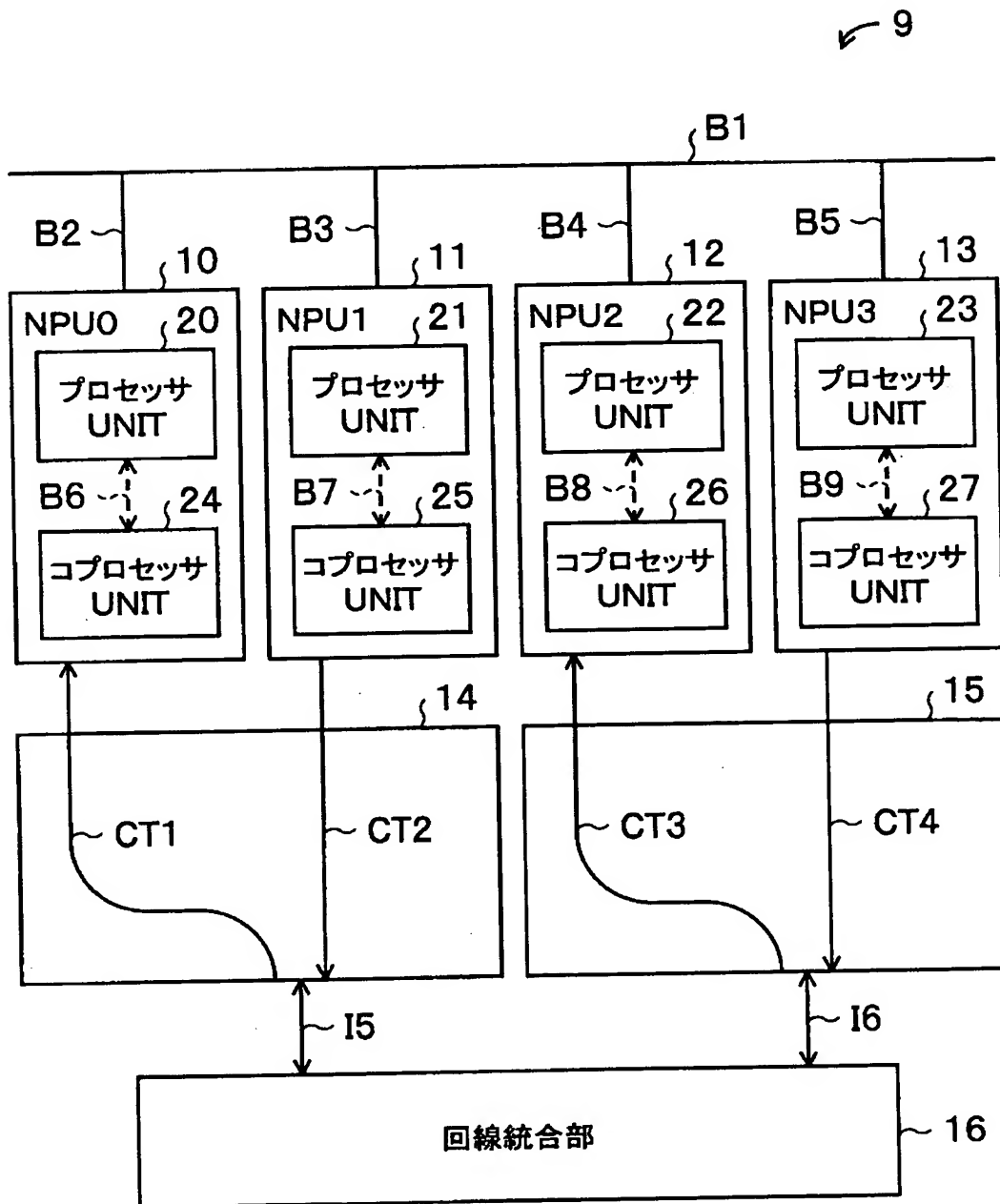
9、30…通信機器、10～13…N P U、14、15、31、32、51、52…N P U インタフェース部、16…回線統合部、17、18…通信路終端部、20～23…プロセッサユニット、24～27…コプロセッサユニット、24 A～24 D…コプロセッサ、40、41…N P U インタフェース、42～45…バッファユニット、42 A～45 A…書き込み部、42 B～45 B…バッファ、42 C～45 C…読み出し部、46、47…セル処理部、43 D、45 D…セレクタ、48、49…フォーマット整形部、66、67…セル処理解析部、68…アクセス権管理部、I 1～I 9…内部インタフェース、B 1～B 5…制御バス、B 6～B 9…N P U 内部バス、B 10～B 14…バス型内部通信路。

【書類名】 図面

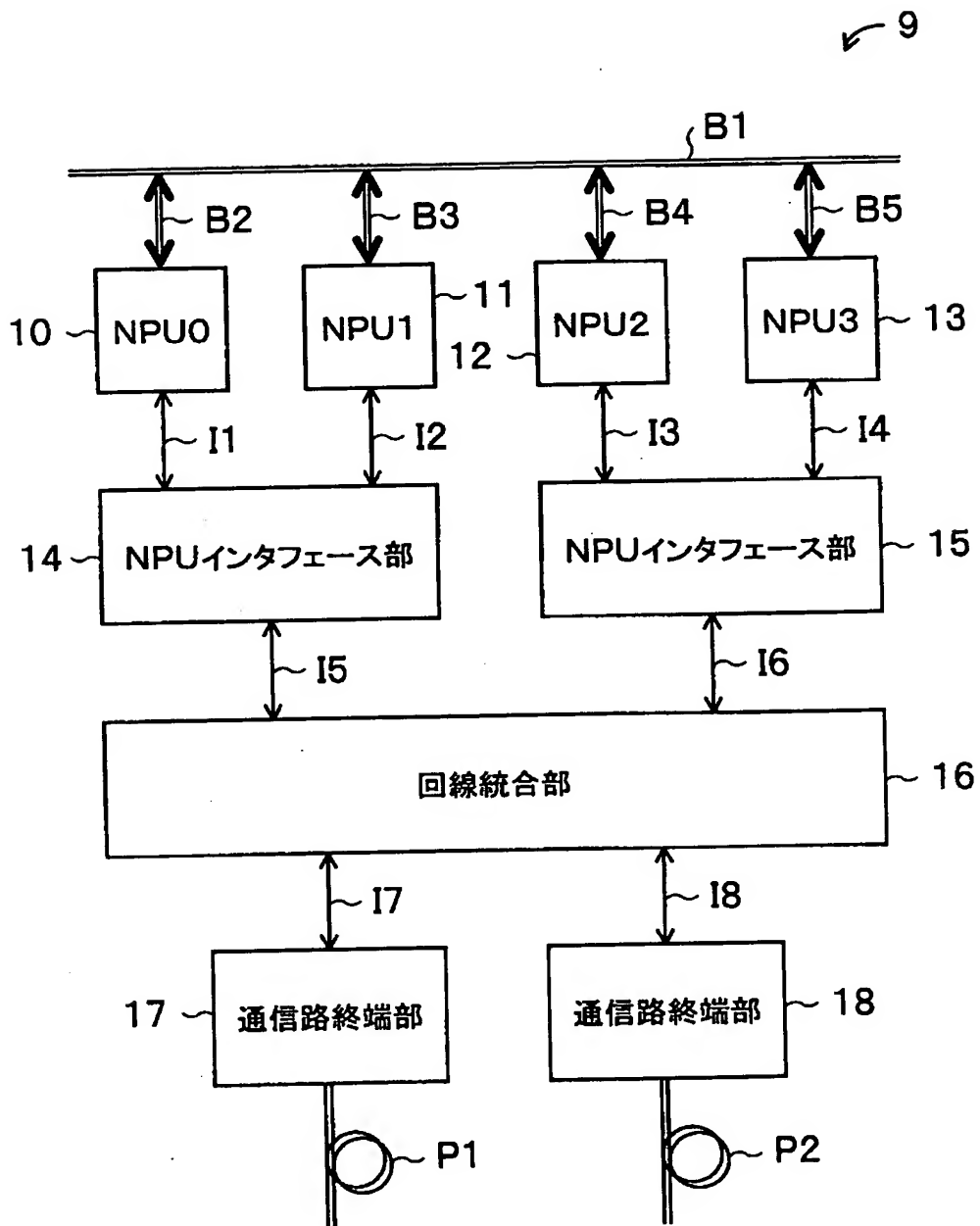
【図1】



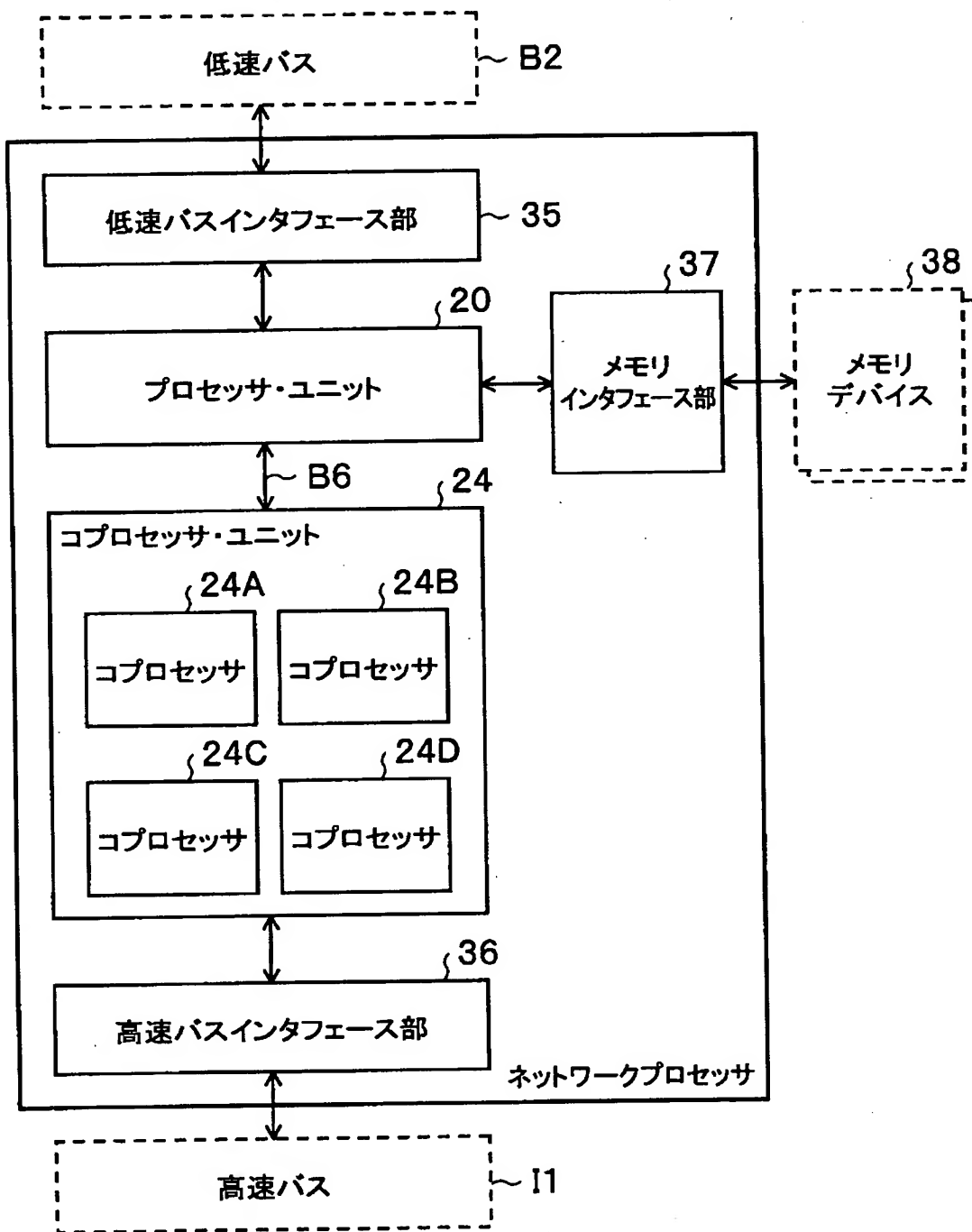
【図 2】



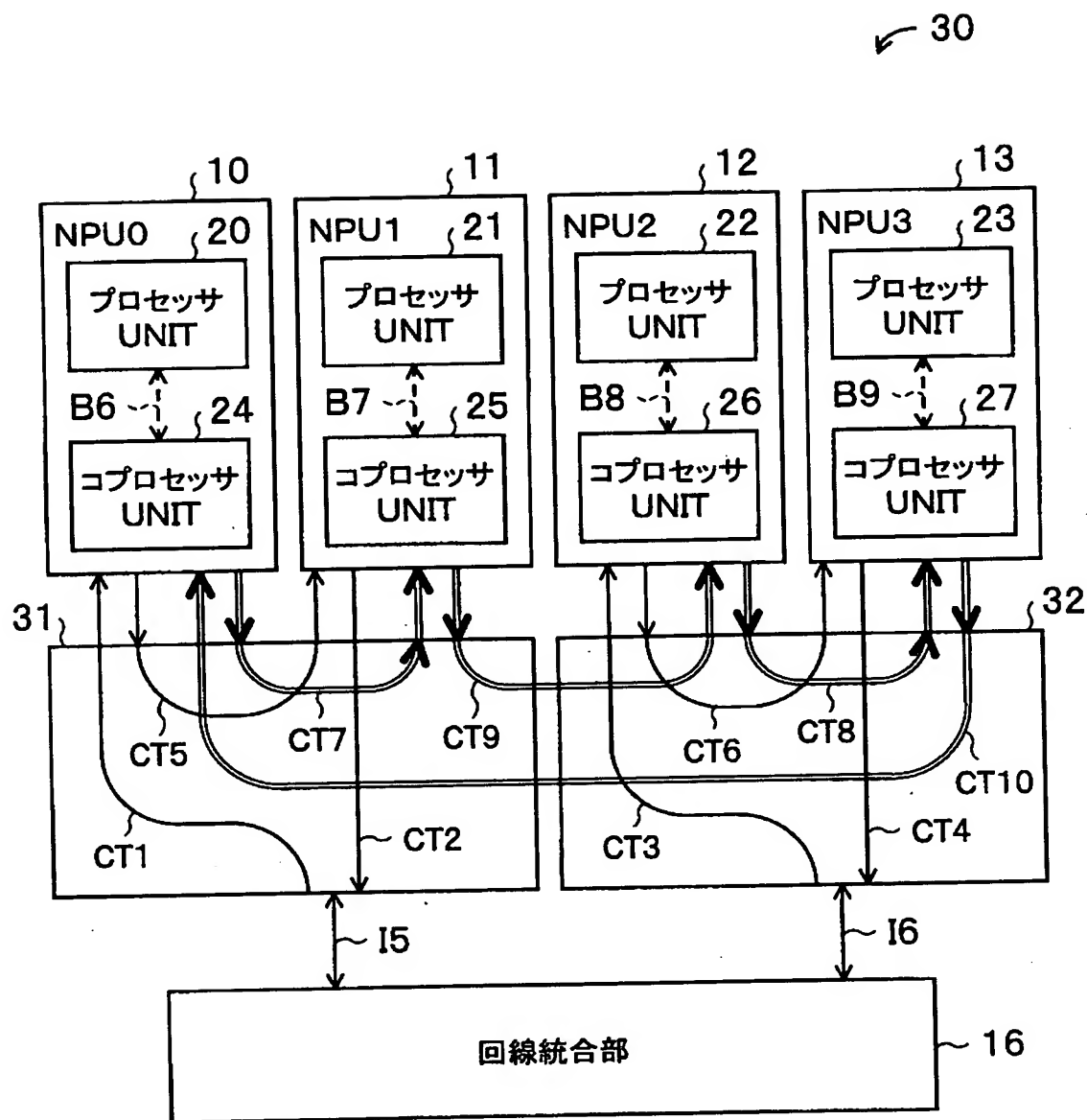
【図3】



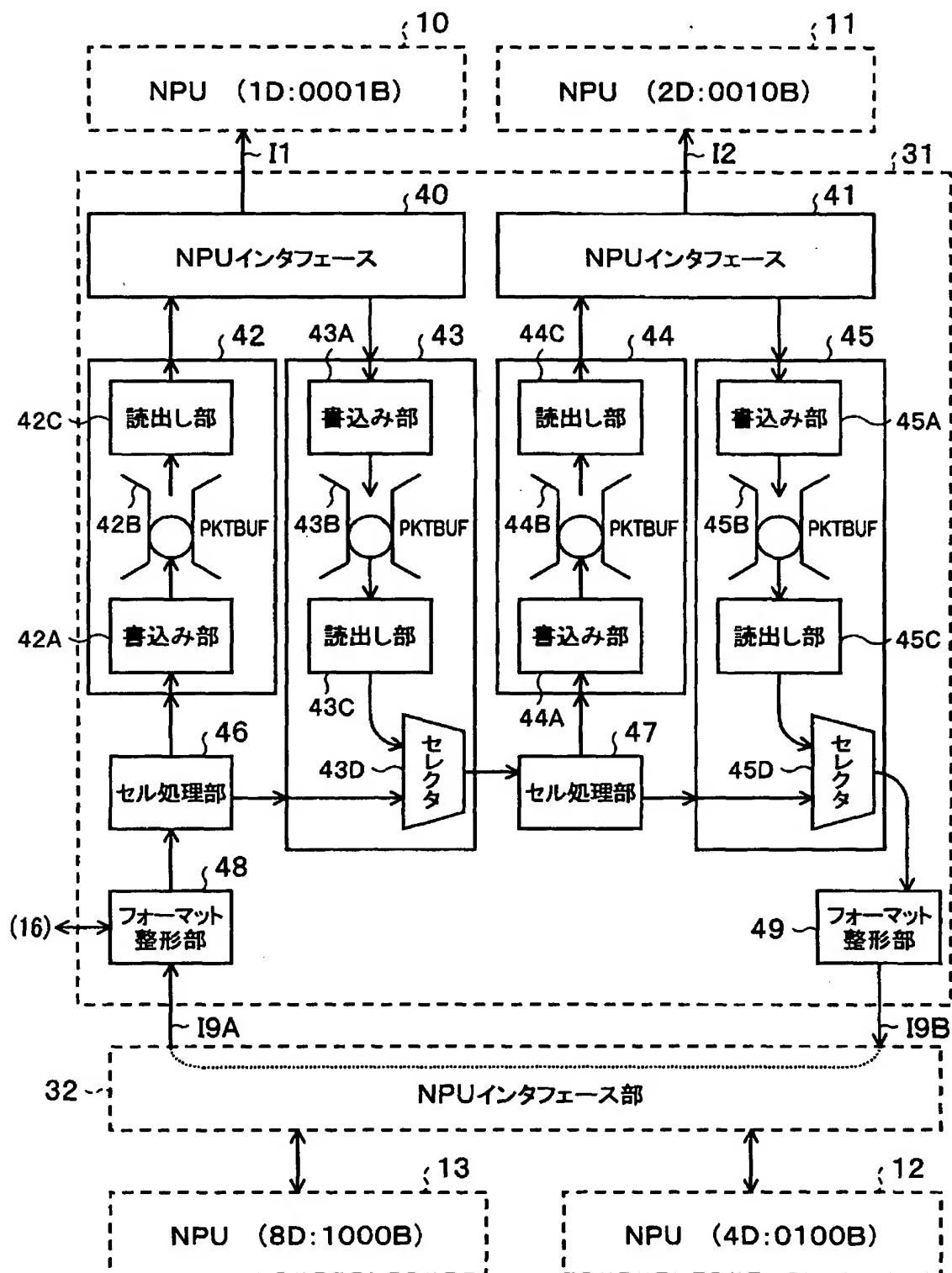
【図 4】



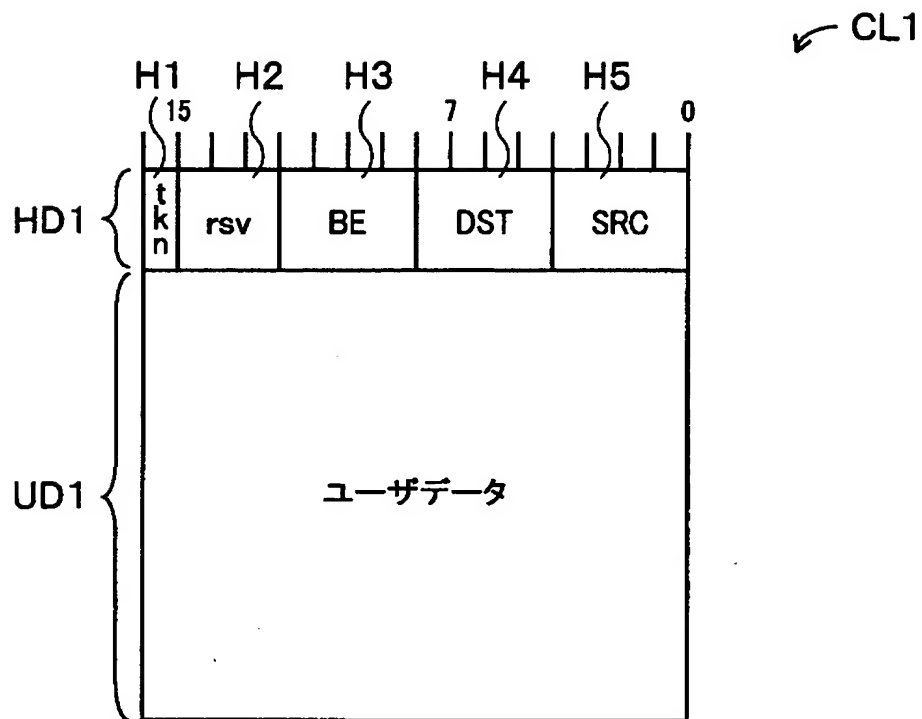
【図 5】



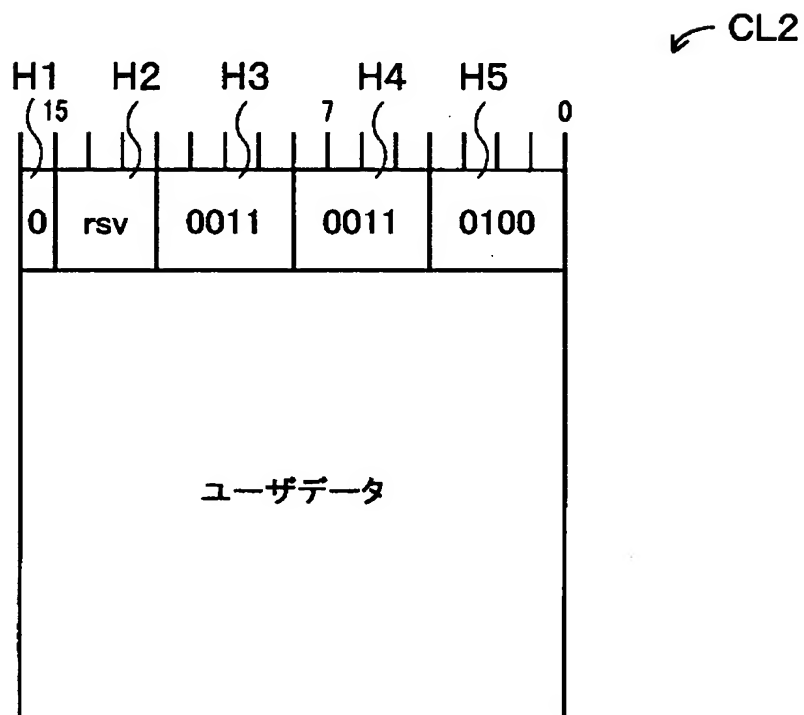
【図 6】



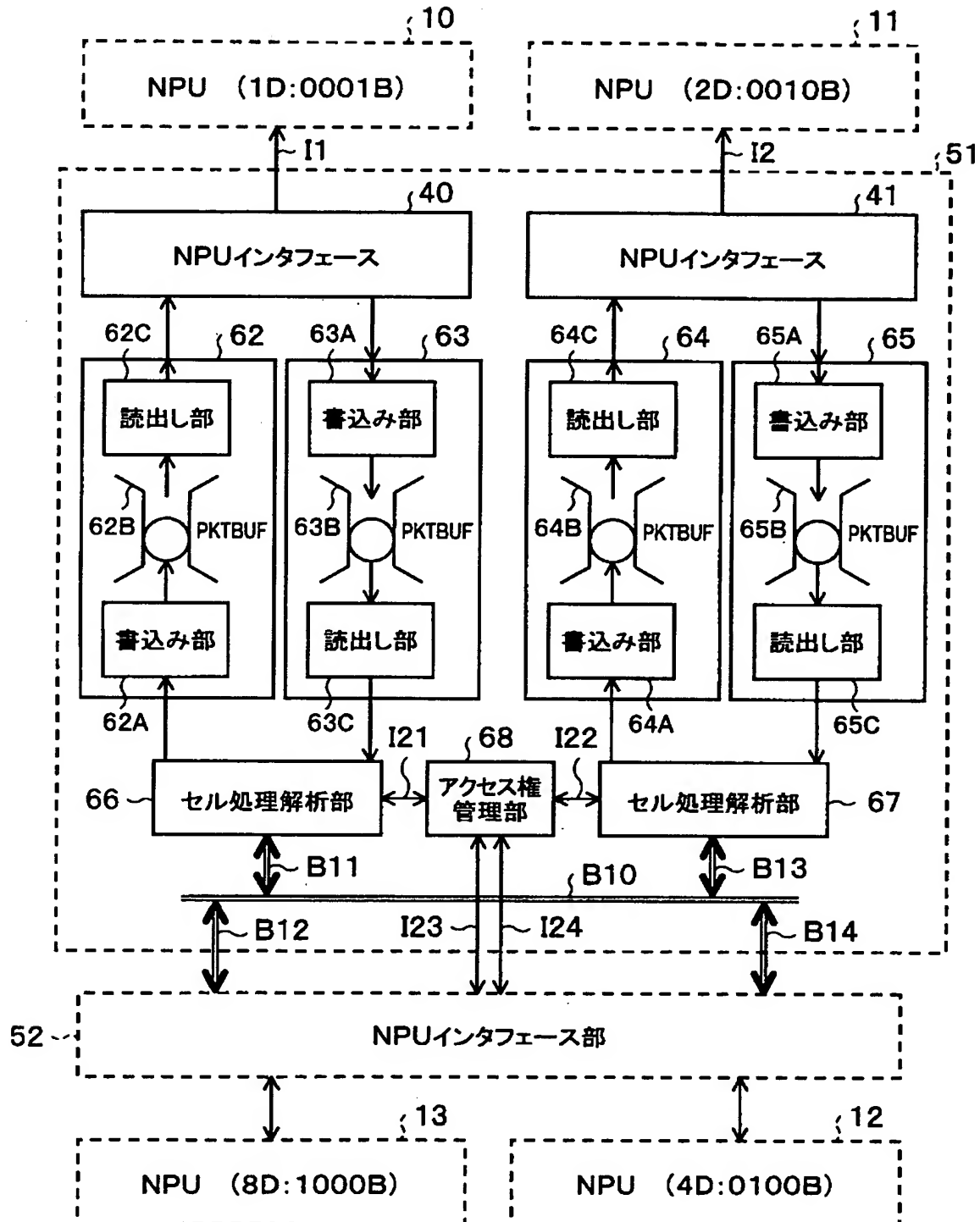
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 プロセッサ間通信の通信速度を高速化する。

【解決手段】 所定の回線対応手段を介して外部の伝送路から入力または出力される伝送データの中継を主目的とする中継装置に関し、中継装置内に設けられた複数のプロセッサ手段が、伝送データを処理するための所定の制御データを通信する際に機能するプロセッサ間通信システムにおいて、各プロセッサ手段は、付加プロセッサ部と、主プロセッサ部とを備え、回線対応手段は、回線対応手段内に、該当するプロセッサ手段のあいだで、所定の内部伝送路の設定を行う内部伝送路設定部を備え、内部伝送路を介して制御データを伝送することで、伝送データの中継し伝送するための内部帯域資源を制御データの伝送に活用する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社